

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-185741

(43)Date of publication of application : 25.07.1989

(51)Int.Cl.

G06F 11/30

G06F 15/16

(21)Application number : 63-010365

(71)Applicant : NEC CORP

(22)Date of filing : 20.01.1988

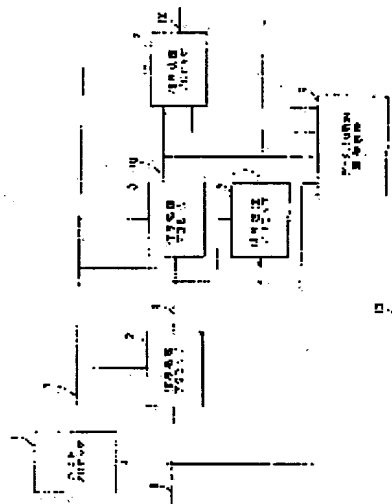
(72)Inventor : YANAGAWA TOSHIYUKI

(54) SIGNAL PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To surely and rapidly find a signal processor in which nonconformity is generated by providing an output cycle monitoring means to monitor the cycle of delivery of respective output signal of a signal processing means.

CONSTITUTION: A host processor 1 sends a signal processing processor control signal 7, and performs the control of the signal processors 2W5. The signal processors 2W5, after performing signal processing by inputting an input signal 8 by the signal processing processor control signal 7 from the host processor 1, send signal processing output signals 9W12, a respectively. The signal processing output signals 9W12 are constituted of data and strobes, and all of them are inputted to a data output cycle monitoring circuit 6, then, the strobes of them are monitored. In other words, the data output cycle monitoring circuit 6, when detecting the fact that the nonconformity is generated in either signal processors, sends fault status 13, and informs the signal processor in which the nonconformity is generated to the host processor 1. In such a way, it is possible to find the signal processor in which abnormality is generated surely and rapidly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A) 平1-185741

⑮ Int.Cl.⁴

G 06 F 11/30
15/16

識別記号

3 1 0
4 6 0

庁内整理番号

A-7343-5B
T-6745-5B

⑯ 公開 平成1年(1989)7月25日

審査請求 未請求 請求項の数 1 (全5頁)

⑰ 発明の名称 信号処理システム

⑱ 特 願 昭63-10365

⑲ 出 願 昭63(1988)1月20日

⑳ 発 明 者 柳 川 登 志 行 東京都港区芝5丁目33番1号 日本電気株式会社内
㉑ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉒ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

信号処理システム

2. 特許請求の範囲

(1) 上位装置からの制御信号にตอบสนองして入力信号に所定の処理を行った後出力信号を送出する複数の信号処理手段と、前記信号処理手段の夫々の出力信号の送出手続を監視する出力周期監視手段とを有することを特徴とする信号処理システム。

3. 発明の詳細な説明

技術分野

本発明は信号処理システムに関し、特に複数の信号処理プロセッサから構成される信号処理システムに関する。

従来技術

従来この種の信号処理システムは、信号処理プロセッサの制御を行うホストプロセッサと、ホストプロセッサの制御により各種信号処理を行う複数の信号処理プロセッサとを含んで構成されていた。

しかし、その信号処理システムにおいては、複数の信号処理プロセッサのうちのいずれかの信号処理プロセッサに不具合が発生して信号処理出力が不良となった場合、不具合が発生した信号処理プロセッサを発見するためにエミュレータやロジックアナライザ等の計測器を接続し、各信号処理プロセッサの出力を1点1点モニタする必要がある、不具合箇所の発見に手間がかかるという欠点があった。

発明の目的

本発明の目的は、不具合が発生した信号処理プロセッサを確実に、かつすみやかに発見することのできる信号処理システムを提供することである。

発明の構成

本発明の信号処理システムは、上位装置からの制御信号にตอบสนองして入力信号に所定の処理を行った後出力信号を送出する複数の信号処理手段と、前記信号処理手段の夫々の出力信号の送出手続を監視する出力周期監視手段とを有することを特

徴とする。

実施例

以下、図面を用いて本発明の実施例を説明する。

第1図は本発明による信号処理システムの一実施例の構成を示す系統図である。図において本発明の一実施例による信号処理システムは、ホストプロセッサ1と、信号処理プロセッサ2、3、4及び5と、データ出力周期監視回路6とを含んで構成されている。

ホストプロセッサ1は信号処理プロセッサ制御信号7を送出し、信号処理プロセッサ2、3、4及び5の制御を行うものである。その信号処理プロセッサ制御信号7は、各信号処理プロセッサのスタート及びストップの制御信号と、モード切換制御信号とを含んで構成されるものである。

信号処理プロセッサ2は、ホストプロセッサ1からの信号処理プロセッサ制御信号7により、入力信号8を入力して信号処理を行った後、信号処理出力信号9を送出するものである。この入力信号8及び信号処理出力信号9はデータとストロー

の各信号処理出力信号の送出の周期がデータ出力周期監視回路6で監視されるのである。データ出力周期監視回路6は、信号処理プロセッサのいずれかに不具合が生じたことを検出すると、故障ステータス13を送出し、どの信号処理プロセッサに不具合が生じたのかをホストプロセッサ1に通知するものである。

次に第2図を用いてデータ出力周期監視回路6について説明する。図はデータ出力周期監視回路6の一実施例の構成を示す系統図である。図においてデータ出力周期監視回路6は、発振回路20と、カウンタ回路21、22、23及び24と、監視周期設定回路31、32、33及び34と、比較回路41、42、43及び44と、オア回路50とを含んで構成されている。

発振回路20は出力パルス200を送出するものであり、その出力パルス200はカウンタ回路21、22、23及び24の夫々のクロック入力端子CLKに入力される。

カウンタ回路21は、クロック入力端子CLKに

ブ(タイミング信号)とから構成されるものである。

信号処理プロセッサ3は、ホストプロセッサ1からの信号処理プロセッサ制御信号7により、信号処理出力信号9を入力して信号処理を行った後、信号処理出力信号10を送出するものである。また、信号処理プロセッサ4は、ホストプロセッサ1からの信号処理プロセッサ制御信号7により、信号処理出力信号9を入力して信号処理を行った後、信号処理出力信号11を送出するものである。

信号処理プロセッサ5は、ホストプロセッサ1からの信号処理プロセッサ制御信号7により、信号処理出力信号10及び11を入力して信号処理出力信号12を送出するものである。

信号処理出力信号10、11及び12は信号処理出力信号9と同様にデータとストローブとから構成されるものである。そして、信号処理出力信号9、10、11及び12はすべてデータ出力周期監視回路6に入力されてストローブが監視されることになる。すなわち、各信号処理プロセッサ

入力される発振回路20からの出力パルス200に応じてカウント値をカウントアップし、クリア端子CLRに入力される信号処理出力信号9のストローブにตอบสนองしてカウント値をクリアするものである。

監視周期設定回路31には予め基準値である監視周期が設定されており、比較回路41はカウンタ回路21からのカウント出力値210を監視周期設定回路31の監視周期出力310とを比較し、カウント出力値210が大を示したときにタイムアウトエラー信号410を送出するものである。また、タイムアウトエラー信号410はオア回路50にも入力され、オア回路50は故障信号500を送出するものである。そして、タイムアウトエラー信号410と故障信号500とから構成される故障ステータス13は、ホストプロセッサ1(第1図参照)に入力される。

また、カウンタ回路21はカウンタ回路22、23及び24と、監視周期設定回路31は監視周期設定回路32、33及び34と、比較回路41

は比較回路42、43及び44と夫々同様な構成となっている。

次に第3図を用いてデータ出力周期監視回路6の各部の動作タイミングを説明する。図は発振回路20の出力パルス200と、信号処理出力信号9のストローブと、カウンタ回路21のカウント値と、タイムエラー410とを示している。なお、発振回路20の出力パルス200の周期Aは1[mS]、信号処理出力信号9のストローブの周期Bは4[mS]、監視周期設定回路31の監視周期は4[mS]とする。

通常の動作においては、発振回路20の出力パルス200の入力に応じて、カウンタ回路21のカウント値は「0」→「1」→「2」→「3」……とカウントアップしていくが、信号処理出力信号9のストローブが4[mS]毎にカウンタ回路21のクリア端子に入力されるため、カウント値は「0」～「4」の値となる。したがって、比較回路41はタイムアウトエラー信号410を送出しない。

処理プロセッサを監視できることは明白である。

発明の効果

以上説明したように本発明は、各信号処理プロセッサのデータ出力周期を監視することにより、異常となった信号処理プロセッサを確実に、かつすみやかに発見できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の実施例による信号処理システムの構成を示す系統図、第2図は本発明の実施例による信号処理システムのデータ出力周期監視回路の構成を示す系統図、第3図は本発明の実施例による信号処理システムのデータ出力周期監視回路の各部の動作タイミングを示すタイムチャートである。

主要部分の符号の説明

- 2、3、4、5……信号処理プロセッサ
6……データ出力周期監視回路

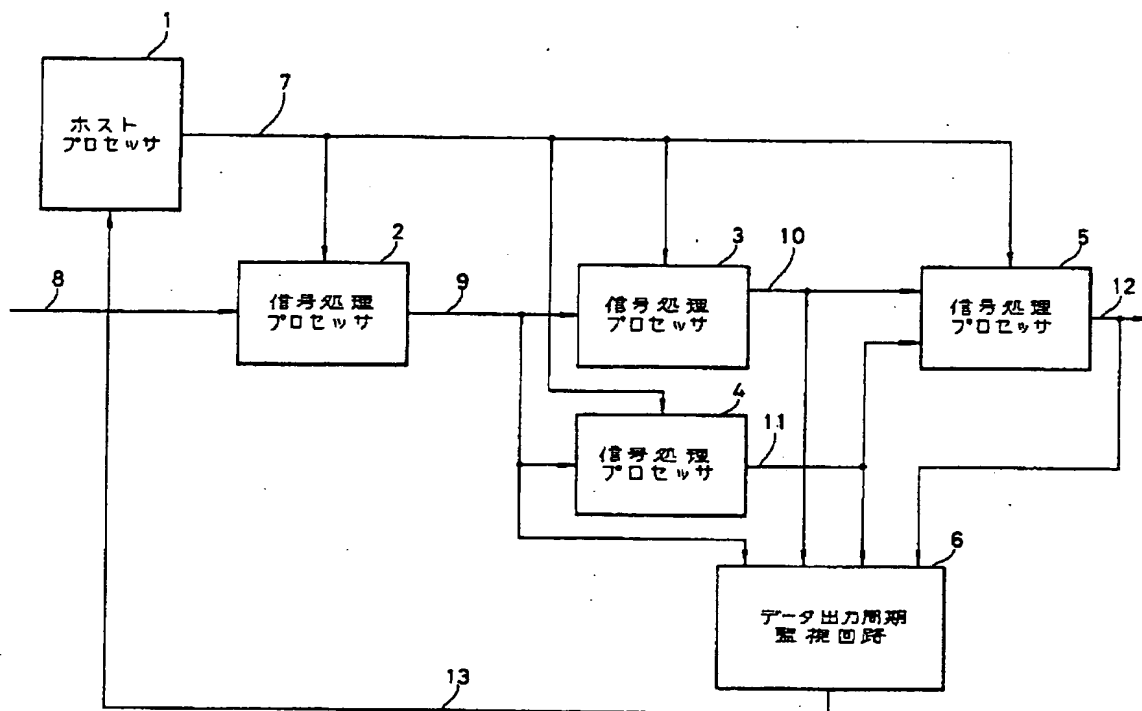
一方、信号処理プロセッサ2が故障し、信号処理出力信号9のストローブが出力されなくなると(点線部)、カウンタ回路21はクリアされずにカウントアップし続ける。そして、カウント値が監視周期「4」をこえて「5」になると比較回路41はタイムアウトエラー信号410を送出する。

また、他の信号処理出力信号10、11及び12についても同様に監視し、信号処理出力信号10が異常になると比較回路42からタイムアウトエラー信号420が、信号処理出力信号11が異常になると比較回路43からタイムアウトエラー信号430が、信号処理出力信号12が異常になると比較回路43からタイムアウトエラー信号430が夫々出力される。つまり、信号処理プロセッサが異常になったとき、ホストプロセッサ1は故障ステータス13の内容により、どの信号処理プロセッサに異常が発生したのかを知ることができるのである。

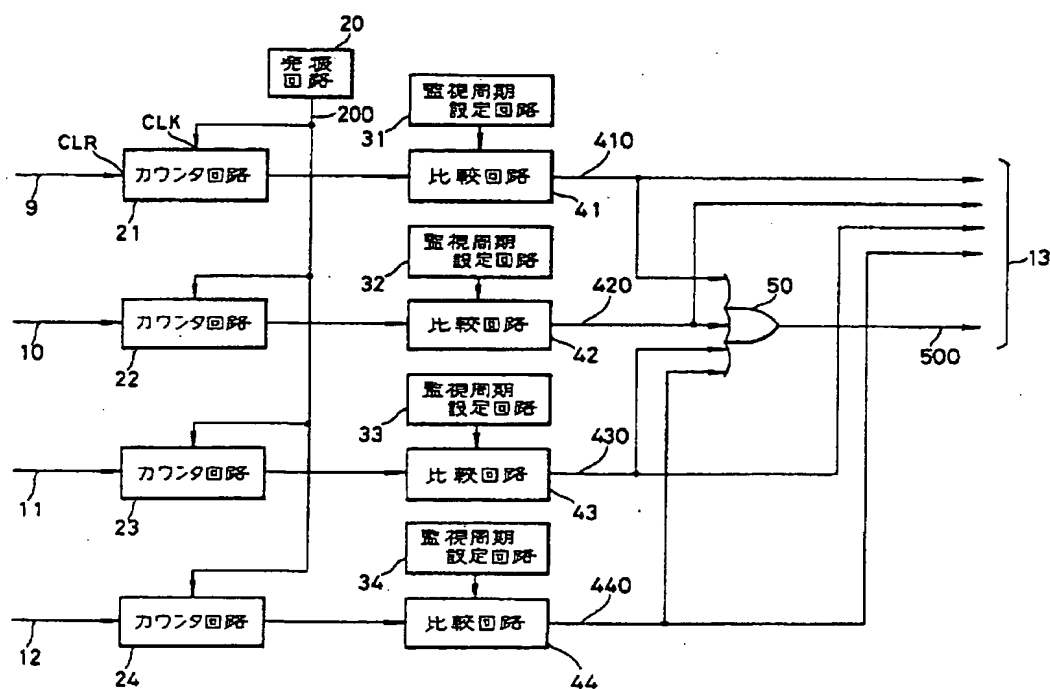
なお、本実施例においては、監視される信号処理プロセッサは4つであるが、さらに多くの信号

出願人 日本電気株式会社
代理人 弁理士 柳川 信

第1図



第2図



第3図

